



PATENT
8020-1036

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

SAITO et al.

Application No. 10/774,463

Filed February 10, 2004

EVALUATION WIRING PATTERN AND EVALUATION METHOD FOR EVALUATING RELIABILITY OF SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE HAVING THE SAME PATTERN

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

April 21, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-032915	February 10, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON

Robert J. Patch, Reg. No. 17,355
745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297
Telefax (703) 685-0573
(703) 979-4709

RJP/psf

Attachment(s): 1 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 2月 10日

出願番号 Application Number: 特願 2003-032915

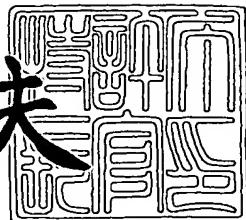
[ST. 10/C]: [JP 2003-032915]

出願人 Applicant(s): NECエレクトロニクス株式会社

2003年12月 3日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 74120008

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部1753番地

NECエレクトロニクス株式会社内

【氏名】 斎藤 由美

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部1753番地

NECエレクトロニクス株式会社内

【氏名】 津田 浩嗣

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体信頼性評価装置およびその評価方法

【特許請求の範囲】

【請求項 1】

第1配線層と第2配線層とが両配線間に介在する絶縁層に配設された複数のビアで接続された配線構造を有する半導体信頼性評価装置において、前記第1配線層と第2配線層とは略同等の比抵抗を有する金属よりなり、前記複数のビアの各々を経由する電流経路の総抵抗が異なるように前記複数のビアの各々に接続する前記第1配線層と第2配線層の少なくとも一方に各々異なる寄生抵抗が付加されていることを特徴とする半導体信頼性評価装置。

【請求項 2】

第1配線層と第2配線層とが両配線間に介在する絶縁層に配設された複数のビアで接続された配線構造を有する半導体信頼性評価装置において、前記第1配線層と第2配線層とは略同等の比抵抗を有する金属よりなり、前記第1配線層は前記複数のビアを介する複数の電流経路において共通に電流が流れる主配線部と、前記主配線部から前記複数のビアを介する複数の電流経路の各々に異なる抵抗値で電流が流れるように各々のビアに接続されている枝配線部を有することを特徴とする半導体信頼性評価装置。

【請求項 3】

前記第1配線層の各々のビアに接続される複数の枝配線部は、各々配線長さが異なることを特徴とする請求項2に記載の半導体信頼性評価装置。

【請求項 4】

前記複数配設された複数のビアの一方の側から他方の側に向けて前記枝配線部の長さが順次長く形成されていることを特徴とする請求項3に記載の半導体信頼性評価装置。

【請求項 5】

前記第1配線層の各々のビアに接続される複数の枝配線部は、各々配線幅が異なることを特徴とする請求項2乃至4のいずれか一に記載の半導体信頼性評価装置。

【請求項 6】

前記第2配線層は前記複数のビアを介する複数の電流経路において共通に電流が流れる主配線部と、前記主配線部から前記複数のビアを介する複数の電流経路の各々に異なる抵抗値で電流が流れるよう各々のビアに接続されている枝配線部を有することを特徴とする請求項2乃至5のいずれか一に記載の半導体信頼性評価装置。

【請求項 7】

前記複数のビアは、直線状に等間隔で配設されていることを特徴とする請求項1乃至6のいずれか一に記載の半導体信頼性評価装置。

【請求項 8】

前記複数のビアは、同一形状であることを特徴とする請求項7に記載の半導体信頼性評価装置。

【請求項 9】

請求項1乃至8のいずれか一に記載の半導体信頼性評価装置における第1配線層と第2配線層との間に定電流を流し、抵抗値の経時変化を測定する半導体信頼性評価装置の評価方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体信頼性評価装置およびその評価方法に関わり、更に詳しくは配線層のエレクトロマイグレーション特性を評価する装置およびその評価方法に関する。

【0002】**【従来の技術】**

L S I等の半導体デバイスにおける不良の原因として、エレクトロマイグレーション（以下、EMと略す）による配線の高抵抗化あるいは断線が挙げられる。EMとは、配線金属中の電流密度の増大、チップ当たりの消費電力の増大によるデバイスの温度上昇によって、キャリアから電極構成原子へ金属膜中の物質移動が起こることを意味し、EMが起こると配線の劣化による信頼性低下の原因となる。そのため、デバイスに用いられる配線についてのEMに関する評価、具体的

にはドリフト速度やインキュベーション時間(ボイド生成までの潜伏時間)の評価が行われている。

【0003】

図4は非特許文献1に開示されているEM評価用の配線パターンの部分平面図であり、図5はその断面図である。第1層配線としてシリサイド(TiSi₂)付きの拡散層、第2層としてAl金属配線が絶縁層を介して配設され、両配線層は絶縁層中に配設された複数のビアで接続されたパターン構成である。図6は、このパターン構成の等価回路である。なお、図5の構成と図6の等価回路とは180度反転して記載されている。

【0004】

図6の等価回路において、拡散層部分の抵抗R_Dが金属層部分の抵抗R_Mよりも相対的に大きいため、第1層41および第2層42間に電流を流すと、最初は総抵抗が最小となるV1に大部分の電流が流れ、V1とR_Mが接する近傍にボイドが発生する。このボイド発生に伴い徐々にV1を介する経路の抵抗が高くなると、続いて総抵抗が小さいV2に大部分の電流が流れるというように、以下大部分の電流が流れる経路が順番にV3、V4へと変化する。このように、それぞれのビアを介する電流経路の総抵抗を異ならせることにより、各ビアに流れる電流値が異なる。即ち、電流経路の総抵抗が順次高い方向へシフトして電流が流れるため、階段上の抵抗上昇がみられようになる。この階段上の抵抗上昇から、ドリフト速度やインキュベーション時間(ボイド生成までの潜伏時間)に関する情報を得ることができる。つまり、第1層配線の抵抗が第2層配線の抵抗に比べてかなり大きいときには、図4のようなシンプルな配置パターンでも所望の評価を実施することができる。

【0005】

【非特許文献1】

1996 Symposium on VLSI Technology Digest of Technical Papers,
p192 (1996)

【0006】

【発明が解決しようとする課題】

しかしながら、図4のような配置のパターンで目的を達するためには、拡散層のように抵抗の高い層であって、かつ、EM現象が起こりにくい層を作り込む必要がある。拡散層を作り込まず、配線層数が2層の通常のビア抵抗が測れるような最低限のレチクルセットを用いて図4と同じような配置で第1層に下層の金属配線、第2層に上層の金属配線を作成すると、第1層配線と第2層配線の抵抗はほとんど同じになってしまふ。すると、V1～V4に流れる電流の大きさはどれもほとんど同等になってしまい、結果として最初にボイドの生成が始まるのは配線端に一番近いビア近傍とは限らなくなる。つまり、第1層配線端から遠いビア近傍でもボイドが発生し始める。従って、図4と同じような配置では、配線層数が2層の通常のビア抵抗が測れるような最低限のレチクルセットでは評価用パターンを作成することはできないため所望の評価を実施できない。そのため、拡散層を含むレチクルセットを使用して評価用パターンを作成しなければならず、コスト高となってしまう。

【0007】

配線部分の電気特性を評価する場合には、通常配線層数が2層の通常のビア抵抗が測れるような最低限のレチクルセットを用いて作成した評価用パターンを使用する。従って、ドリフト速度やインキュベーション時間に関する情報を得るためにには、拡散層も作り込んだ別の新たな試料を作成しなければならず、工程数や作成時間も余分に必要になってしまい、さらにコスト高になってしまふ。

【0008】

本発明は、簡単な製造工程で低コストで得られる配線層のエレクトロマイグレーション特性評価用パターンを有する半導体信頼性評価装置およびその評価方法を提供することを目的としている。

【0009】

【課題を解決するための手段】

本発明の半導体信頼性評価装置は、第1配線層と第2配線層とが両配線間に介在する絶縁層に配設された複数のビアで接続された配線構造を有し、前記第1配線層と第2配線層とは略同等の比抵抗を有する金属よりなり、前記複数のビアの各々を経由する電流経路の総抵抗が異なるように前記複数のビアの各々に接続す

る前記第1配線層と第2配線層の少なくとも一方に各々異なる寄生抵抗が付加されていることを特徴とする。また、前記第1配線層と第2配線層とは略同等の比抵抗を有する金属よりなり、前記第1配線層は前記複数のビアを介する複数の電流経路において共通に電流が流れる主配線部と、前記主配線部から前記複数のビアを介する複数の電流経路の各々に異なる抵抗値で電流が流れるよう各々のビアに接続されている枝配線部を有することを特徴とする。ここで、第1配線層の各々のビアに接続される複数の枝配線部は、各々配線長さが異なることを特徴としており、前記複数配設された複数のビアの一方の側から他方の側に向けて前記枝配線部の長さが順次長く形成されていることが好ましい。また、第1配線層の各々のビアに接続される複数の枝配線部は、各々配線幅が異なることを特徴とする。更に、第2配線層に前記複数のビアを介する複数の電流経路において共通に電流が流れる主配線部と、前記主配線部から前記複数のビアを介する複数の電流経路の各々に異なる抵抗値で電流が流れるよう各々のビアに接続されている枝配線部を有することを特徴とする。また、前記複数のビアは、直線状に等間隔で配設されており、同一形状であることことが好ましい。

【0010】

本発明の半導体信頼性評価装置の評価方法は、上記半導体信頼性評価装置における第1配線層と第2配線層との間に定電流を流し、抵抗値の経時変化を測定することを特徴とする。

【0011】

本発明では、比抵抗の略同等の第1配線層および第2配線層を接続する複数のビアの各々を介する電流経路の総抵抗が異なるように、第1層配線または第2層配線の少なくとも一方から各々のビアにつながる配線に異なる寄生抵抗を付加する構成を配線層数が2層の通常のビア抵抗が測れるような最低限のレチクルセットを用いて作成している。前述の従来技術では、拡散層→コンタクト→第1層配線→ビア→第2層配線の順で製造する必要があるのに対して、本発明では第1層配線→ビア→第2層配線のみであり、拡散層を形成するためのイオン注入工程、シリサイド形成工程等が不要である。本発明では、金属配線層数が2層の構造においても、各々のビアを経由する総抵抗が異なるようにしており、常に総抵抗の

最小の配線端のビアに大部分の電流が流れるような配線レイアウトとしている。寄生抵抗は、各々のビアにつながる枝配線部の長さ、または幅を異ならせることにより異なる値に設定できる。枝配線部は、第1層または第2層の少なくとも一方と同一のレチクルを用いて主配線部と同時に形成することができる。そのため、工程数や作成時間が従来に比べて短く、低コスト化が図れる。

【0012】

【発明の実施の形態】 次に、本発明の半導体装置の実施の形態について図面を参照して説明する。

【0013】

図1は、本発明の半導体信頼性評価装置におけるEM評価配線パターンの部分平面模式図であり、図2はその等価回路である。配線層数が2層の通常のビア抵抗が測れるような最低限のレチクルセットを使用することにより、比抵抗が略等しい金属よりなる第1層配線層11と第2層配線層12とが両者間の絶縁層中に一列に等間隔で配設された複数個のビアを介して接続されている。ここで、第1配線層は、各々のビアを介する電流経路において共通する主配線部と、各々のビアを経由する総抵抗が順次高くなるように各ビアにつながる枝配線部とにより形成されている。即ち、各ビアを介する電流経路の総抵抗を異ならせている。図1では、一例として4つのビア（V1～V4）を有する場合であり、各々のビアにつながる第1層配線層の枝配線部は、Cから各ビアに至るまでの配線部分、即ち、V1～C、V2～C、V3～C、V4～Cに相当し、Cから第1層配線端Aまでの共通部分は主配線部に相当する。具体的な構成の一例として、第1層配線を0.18μm幅の銅、第2層配線を0.18μm幅の銅、ビアをビア径0.18μmの銅、絶縁膜材料をシリコン酸化膜とすることができるが、これらの材料や寸法に限定されるものではない。

【0014】

図2の等価回路において、V1、V2、V3、V4はそれぞれのビアであり、aからrは寄生抵抗を示す。それぞれの抵抗値はRV1, …, RV4, Ra, …, Rrである。4つのビアは略同一形状としている。この実施例では第1層配線の枝配線部の長さを異ならせることでビアに接続するまでの総抵抗を異ならせており、総

抵抗はV1を流れる電流経路が最も低く ($R_{V1} + R_p + R_q + R_r = R_1$) 、V2を流れる電流経路 ($R_a + R_b + R_c + R_{V1} + R_q + R_r = R_2$) 、V3を流れる電流経路 ($R_a + R_d + R_e + R_f + R_g + R_h + R_{V3} + R_r = R_3$) 、V4を流れる電流経路 ($R_a + R_d + R_i + R_j + R_k + R_l + R_m + R_n + R_o + R_{V4} = R_4$) の順で高くなっている。寄生抵抗a～oの抵抗値 $R_a \sim R_o$ は各々略同等であり、 $R_p \sim R_r$ も略同等である。第1層配線の枝配線部は、この等価回路となるような寄生抵抗を有するように配線の長さが設定されている。なお、第1層配線と第2層配線はどちらが上層になっても下層になってもよい。

【0015】

このような配置のパターンを用いて、第1層11および第2層12間に定電流を流すと、最初のうち、大部分の電流は総抵抗の最小である経路としてV1を流れ、EM現象によりV1近傍にボイドができてV1を通過する経路の抵抗が高くなると同時に総抵抗も若干高くなる。すると、今度はほとんど大部分の電流は、2番目に総抵抗の低い経路であるV2を流れるようになる。しばらくすると、V2近傍にEM現象によりボイドができてこの経路の抵抗も高くなるため、大部分の電流はV3を流れるようになる。以下同様にV3近傍にボイドができて、大部分の電流がV4を流れるようになる。以上のような状態の変化を、抵抗の時間変化としてモニターすることにより、第2層配線とビアの接続部におけるボイドの成長速度(構成原子のドリフト速度に対応)とボイド生成までの潜伏時間に関する情報が得られる。

【0016】

図1に示したEM評価配線パターンに実際に電流を流してEM試験を行う場合について説明する。図1の第1層配線のA側を-、第2層配線のB側を+にして第1層から第2層に定電流を流す。電流値は配線で $0.5 \sim 2 \text{ MA/cm}^2$ 程度で流し、温度は $250^\circ\text{C} \sim 350^\circ\text{C}$ とする。試験開始時には図2の等価回路からわかるように、最も電流経路の総抵抗値の小さくなるV1に大部分の電流が流れ。その結果EMによるボイドがV1近傍の第2層配線中におき、この経路の抵抗値が上昇する。その結果V1を通る経路の総抵抗が高くなるため、次に初期の総抵抗が低い経路であるV2に電流の大部分が流れるようになる。その結果V2

近傍にボイドが発生し、その結果抵抗値が上昇する。引き続き同様にV3、V4へと電流の流れる経路が移っていく。

【0017】

このように初期の総抵抗値の低い経路、つまり接続部の配線長さが最短となるビアから優先的に電流が流れていきそのビア近傍にボイドが発生し抵抗上昇することでその隣のビアに主たる電流経路が移っていく。この際の抵抗の時間変化をモニタすると、時間に対して階段上に抵抗上昇がみられる。電流の主たる経路がV1→V2→V3→V4を通るものとなるにしたがってモニタされる抵抗値もR1→R2→R3→R4と階段上に抵抗上昇する。図3はこのときの抵抗変化の様子を示す。この階段上の抵抗変化から、EMでの配線構成金属のボイド生成までの潜伏時間および原子のドリフト速度を求める方法は参考文献1に開示されているので省略する。

【0018】

上記の実施の形態では、第1層配線の枝配線部の長さを異ならせることにより各ビアを介する総抵抗値を異なるようにしたが、枝配線部の配線幅を異ならせることによっても総抵抗値を異なるようにすることができる。もちろん、配線長さと配線幅をともに異なるようにすることもできる。また、上記の実施の形態では、第1層配線に枝配線部を設けているが、第2層配線に枝配線部を設けることもできるし、第1層配線と第2層配線のいずれにも接続部を設けることができる。なお、第1層配線と第2層配線は必ずしも同一の金属で構成する必要はなく、異なる金属で構成することもできる。

【0019】

【発明の効果】

本発明の半導体信頼性評価装置は、ドリフト速度やインキュベーション時間(ボイド生成までの潜伏時間)を、層抵抗の略同じ配線層数が2層の通常のビア抵抗が測れるような最低限のレチクルセットを用いることで作成できる。特に、LSIの微細化に伴う配線の細線化により、EM耐性向上が重要課題であり、そのためにCuやAlを主たる材料にした配線に、別の元素を添加して金属配線の信頼性を向上する方法が注目されているが、その場合に重要なパラメータであるドリ

フト速度やインキュベーション時間(ボイド生成までの潜伏時間)を得るための評価を、最低限のレチクルセットだけを用いて作成した金属層だけの評価用パターンで実施できるようになる。このため、レチクルのコストだけではなく、評価試料作成のコストも大きく削減することができる。また、本発明の半導体信頼性評価装置における第1層および第2層配線間に定電流を流すことにより、非特許文献1同様にEM特性を良好に測定することができる。特に第1層および第2層配線としてともに抵抗値の低い金属配線を用いる場合でもEM特性を良好に測定することができる。

【図面の簡単な説明】

【図1】

本発明の半導体信頼性評価装置におけるEM評価配線パターンの一実施例の部分平面図である。

【図2】

図1に示した本発明の半導体信頼性評価装置におけるEM評価配線パターンの一実施例の等価回路図である。

【図3】

本発明の半導体信頼性評価装置におけるEM評価における抵抗経時変化を示す図である。

【図4】

従来の半導体信頼性評価装置におけるEM評価配線パターンの部分平面図である。

【図5】

図4に示した従来の半導体信頼性評価装置におけるEM評価配線パターンの部分断面図である。

【図6】

図4に示した従来の半導体信頼性評価装置におけるEM評価配線パターンの等価回路図である。

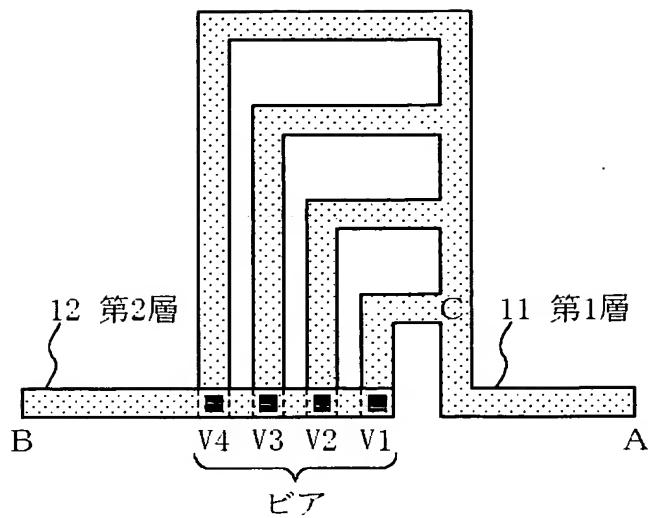
【符号の説明】

11, 41 第1配線層

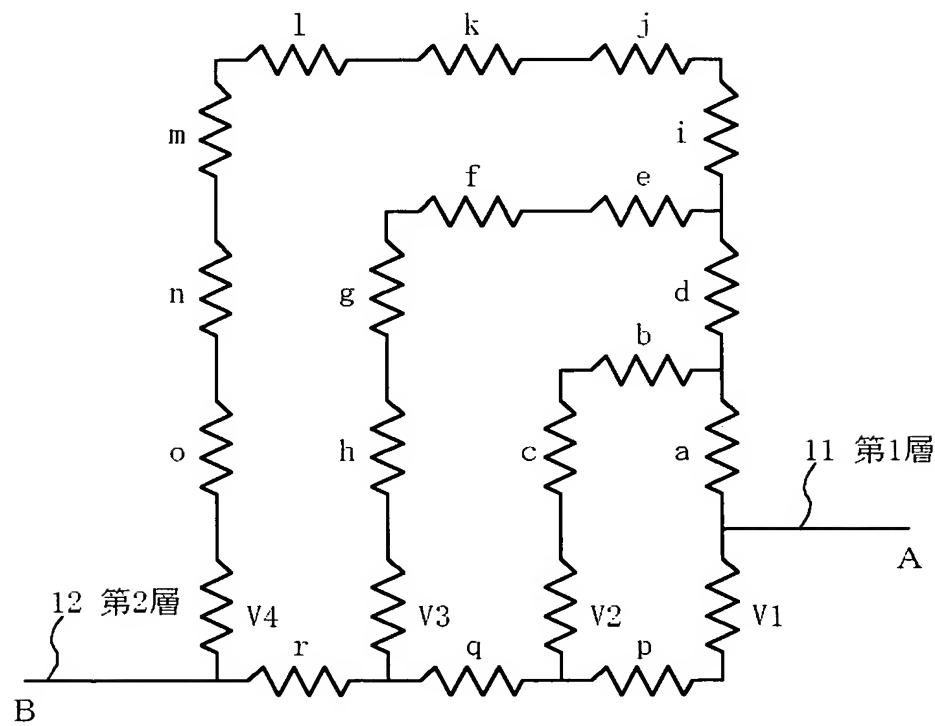
12, 42 第2配線層

【書類名】 図面

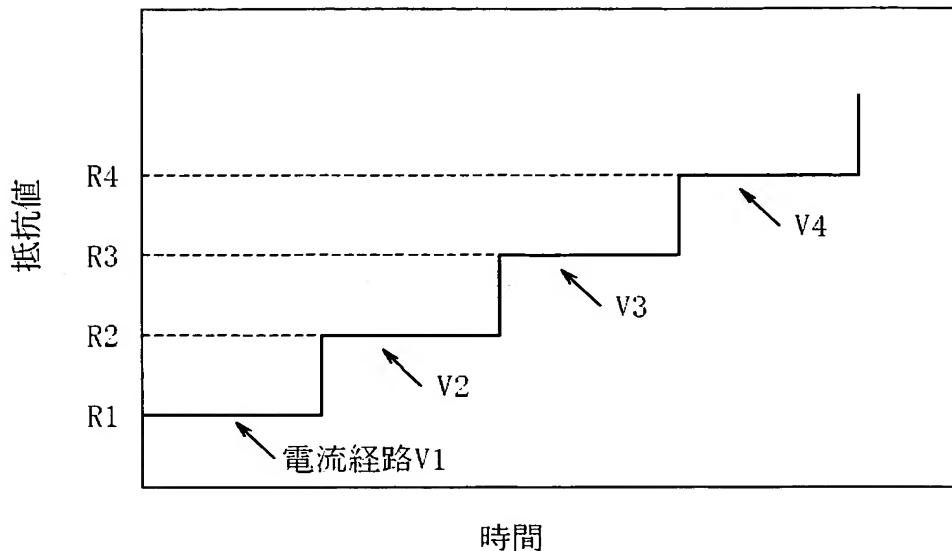
【図 1】



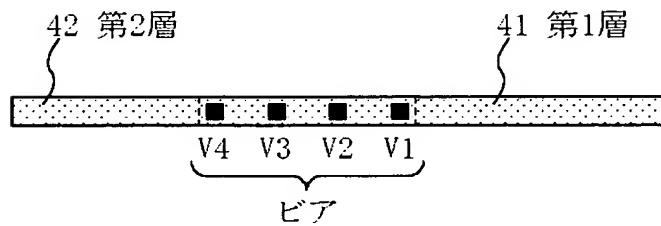
【図 2】



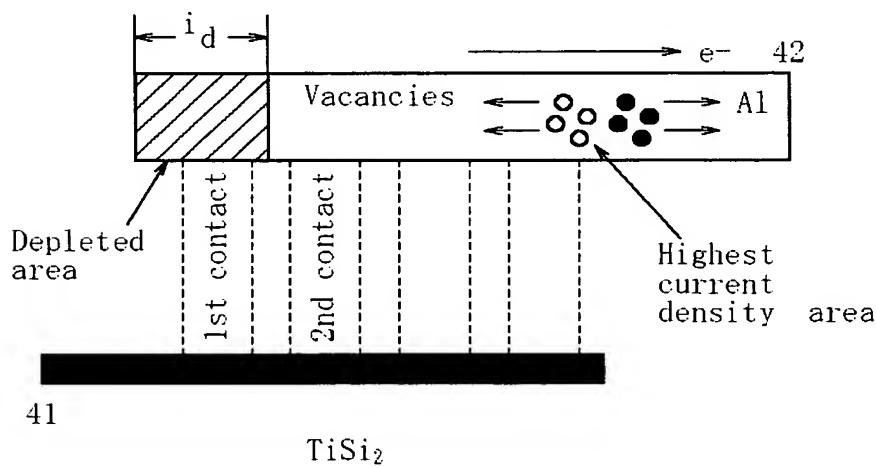
【図 3】



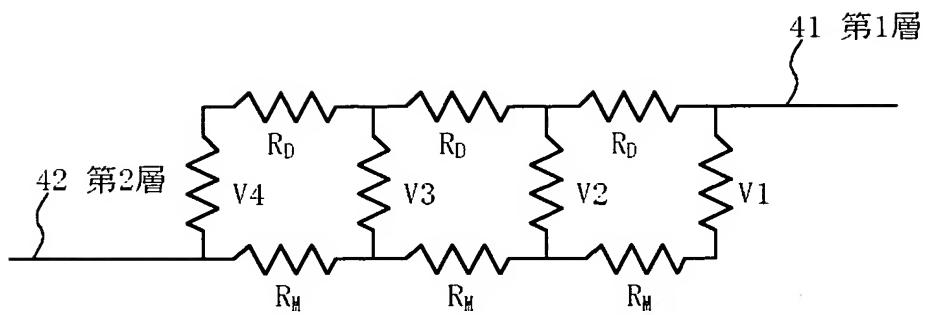
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 配線層数が2層の通常のビア抵抗が測れるような最低限のレチカルセットで簡単に低成本で作成可能な配線層のエレクトロマイグレーション特性評価用パターンを有する半導体信頼性評価装置およびその評価方法を提供する。

【解決手段】 第1配線層と第2配線層とが両配線間に介在する絶縁層に配設された複数のビアで接続された配線構造を有し、第1配線層と第2配線層とは略同等の比抵抗を有する金属よりなり、複数のビアの各々を経由する電流経路の総抵抗が異なるように前記複数のビアの各々に接続する前記第1配線層と第2配線層の少なくとも一方に各々異なる寄生抵抗が付加されている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2003-032915
受付番号	50300213206
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 2月12日

<認定情報・付加情報>

【提出日】 平成15年 2月10日

次頁無

特願2003-032915

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社